

日本国特許庁
JAPAN PATENT OFFICE

PCT/JP03/14301

11.11.03

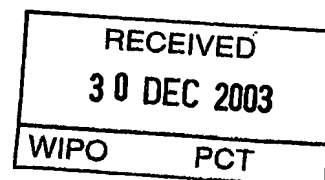
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年12月10日

出願番号
Application Number: 特願2002-357568
[ST. 10/C]: [JP2002-357568]

出願人
Applicant(s): 松下電器産業株式会社

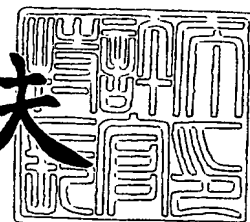


PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年12月12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 2056040059

【提出日】 平成14年12月10日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/00
H02M 3/137

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 数馬 秀二

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 同期整流方式DC-DCコンバータ電源装置

【特許請求の範囲】

【請求項1】 第1スイッチング電源手段と、

前記第1スイッチング電源手段のドライブパルスに基づいて同期整流する第2スイッチング電源手段とを有する同期整流方式DC-DCコンバータ電源装置であって、

前記第1スイッチング電源手段は、DC入力電源によって動作しドライブパルスを出力する発振・制御手段と、

前記発振・制御手段からのドライブパルスに基づいてドライブ波形を出力する第1ドライブ手段と、

前記第1ドライブ手段の出力により駆動する第1スイッチング素子と、

正極が接地され、負極が前記第1スイッチング素子の出力に接続された第1整流手段と、

前記第1スイッチング素子の出力に接続された第1コイルと、

前記第1コイルの出力電圧を検出し、前記発振・制御手段にフィードバックする第1検出手段とを有し、

前記第2スイッチング電源手段は、前記発振・制御手段からのドライブパルスに基づいてドライブ波形を出力する第2ドライブ手段と、

前記第2ドライブ手段の出力により駆動される第2スイッチング素子と、

正極が接地され、負極が前記第2スイッチング素子の出力に接続された第2整流手段と、

前記第2整流手段に並列接続され前記第1ドライブ手段の出力により駆動される第3スイッチング素子と、

前記第2スイッチング素子の出力に接続された第2コイルと、

前記第2コイルの出力電圧を検出し、前記発振・制御手段にフィードバックする第2検出手段と、

を有する同期整流方式DC-DCコンバータ電源装置。

【請求項2】 前記第2ドライブ手段の出力電圧がハイレベルとなる期間は前

記第 1 ドライブ手段の出力電圧がハイレベルとなる期間を含む、請求項 1 記載の同期整流方式 DC-DC コンバータ電源装置。

【請求項 3】 前記第 2 スイッチング電源手段のドライブパルスに基づいて同期整流する第 3 スイッチング電源手段をさらに有し、
前記第 3 スイッチング電源手段は、前記発振・制御手段からのドライブパルスに基づいてドライブ波形を出力する第 3 ドライブ手段と、
前記第 3 ドライブ手段の出力により駆動される第 4 スイッチング素子と、
正極が接地され、負極が前記第 4 スイッチング素子の出力に接続された第 3 整流手段と、
前記第 3 整流手段に並列接続され前記第 2 ドライブ手段の出力により駆動される第 5 スイッチング素子と、
前記第 4 スイッチング素子の出力に接続された第 3 コイルと、
前記第 3 コイルの出力電圧を検出し、前記発振・制御手段にフィードバックする第 3 検出手段と、
を有する請求項 1 記載の同期整流方式 DC-DC コンバータ電源装置。

【請求項 4】 前記第 2 ドライブ手段の出力電圧がハイレベルとなる期間は前記第 1 ドライブ手段の出力電圧がハイレベルとなる期間を含み、前記第 3 ドライブ手段の出力電圧がハイレベルとなる期間は前記第 2 ドライブ手段の出力電圧がハイレベルとなる期間を含む、請求項 3 記載の同期整流方式 DC-DC コンバータ電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、テレビ、VTR、カメラ、パーソナルコンピュータおよびそれらの周辺機器等の電子機器に使用され、パルス幅制御によって出力電圧を安定にする DC-DC コンバータ電源に関する。

【0002】

【従来の技術】

近年、パルス幅制御方式によって出力電圧を安定にする DC-DC コンバータ

電源が電子機器に広く用いられるようになり、少しでも高効率を達成させるために、整流ダイオードの順方向電圧分の損失を下げる同期整流方式のDC-DCコンバータ電源も制御回路のIC化が進み、多種多様なケースで使用されるようになってきた（例えば特許文献1参照）。

【0003】

【特許文献1】

特開平09-261950号公報

【0004】

【発明が解決しようとする課題】

図4に従来のDC-DCコンバータ電源の回路例を示し、図5にその主な波形のタイミングチャートを示す。図4はひとつのDC入力から3.3V出力と1.8V出力を得る場合の1例である。最初に3.3V出力系を説明する。

【0005】

DC入力1に直流電圧（たとえばDC5V～10V）が印可されると、制御ICとして構成される発振・同期制御回路30が動作を開始し、ドライブ回路5をドライブし、スイッチング素子PチャンネルMOS-FET3（以下、MOS-FET3と略す）をドライブする。そのドライブ波形は図5のk点の電圧波形であり、ハイレベル（時刻 $t_4 \sim t_1$ 間）はほぼDC入力1の電圧である。ここで用いられている発振・同期制御回路30は、1系統出力で図5のk点に示すような波形およびn点に示すような波形の2種類のドライブパルスが使用され、かつ、この2種類のドライブパルスは、各々ドライブされるMOS-FETのON/OFFの立ち上がり時間および立ち下がり時間を考慮して、デッドタイム（2つのドライブ共、OFFになっている時間のこと）が設定されている特別な仕様のICである。

【0006】

MOS-FET3は、ゲート電圧kがローレベル（ $t_1 \sim t_4$ 間）のときにONし、ゲート電圧kがハイレベル（ $t_4 \sim t_1$ 間）のときはOFF状態となる。従って、MOS-FET3の出力電圧は、図5のj点の電圧波形に示すものとなり、これがコイル10に印可される。MOS-FET3のON期間（ $t_1 \sim t_4$

間)にコイル10に流れる電流は、図5のm点(時刻 $t_1 \sim t_4$ 間)の電流波形に示すものとなっており、コイル10のインダクタンス値が小さいときは傾斜が急になり電流のピーク値は大きくなるが、反対にコイル10のインダクタンス値が大きいときは傾斜が緩やかになり、電流のピーク値は小さくなる。いずれにしても、コイル10のインダクタンス値はコイルのコアが飽和しないように選択する必要がある。

【0007】

さて、MOS-FET3がOFFになると、コイル10に流れていた電流が供給されなくなるため逆起電力がコイル10の両端に発生し、j点の電位はマイナス電位になり、ダイオード9の順方向電圧でクランプされることになる。その結果コイル10に蓄えられたエネルギーが電流となって、コンデンサ13と第1出力14に接続された負荷(図示せず)およびダイオード9を介して流れる。この電流は還流電流と呼ばれるが、ダイオード9の順方向電圧の低いものほど損失が少ないことになる。そのため、ショットキーバリアダイオード(SBDと略することもある)を使用することが多いが、それでも順方向電圧は0.3V~0.6V程度である。

【0008】

そこで、ダイオード9のON期間($t_4 \sim t_1$ 間)にダイオード9よりもさらに順方向電圧の低い、即ち損失の少ない素子でONさせて、還流電流をバイパスさせればさらに損失が低減できる。これは以下のようにバイパス回路を形成することで実現できる。ドライブ回路31でn点の $t_5 \sim t_6$ 間の電圧波形によりスイッチング素子NチャンネルMOS-FET32(以下、MOS-FET32と略す)をONさせる。通常MOS-FET32はON時の電圧降下が0.1V以下となることが期待でき、ダイオードの順方向電圧(0.3V~0.6V)より低いので、その間は還流電流がMOS-FET32の方を流れることになる。そのことを図5を用いて説明する。ドライブ回路31の出力波形はn点の電圧波形であり、ローレベル($t_6 \sim t_5$ 間)ではMOS-FET32はOFFとなる。この時、ダイオード9に流れる電流は、o点の電流波形に示すように $t_4 \sim t_5$ 間および $t_6 \sim t_1$ 間となる。また、ドライブ回路31の出力がハイレベル(t

5～t6間)になるとMOS-FET32がONとなり、p点の電流波形に示すようにt5～t6間電流が流れる。

【0009】

そして、j点の電圧波形でローレベル(t4～t1間)の部分に注目すると、ダイオード9がONになっているタイミング、すなわちt4～t5間およびt6～t1間は、順方向電圧はマイナス0.3V～マイナス0.6V程度の電圧レベルになっており、一方、MOS-FET32がONしているタイミング、すなわちp点に電流が流れているタイミング(t5～t6)では、マイナス0.1V程度の電圧レベルとなっている。

【0010】

そして、3.3V出力電圧を抵抗11と12とで分圧・検出し、発振・同期制御回路30にフィードバックさせることにより、MOS-FET3のON時間を制御するとともに、MOS-FET32のON時間を制御し、出力を一定に保つ動作をしている。したがって、ダイオード9に流れる電流の期間が少なくなるほど損失が減少し高効率となる反面、MOS-FET3のON期間とMOS-FET32のON期間が重なれば大電流が流れ、スイッチング素子を破壊する危険も発生するので注意が必要である。

【0011】

1. 8V系出力については基本的な動作は上記で述べた3.3V系と同じであり、ここでは説明を省略する。

【0012】

しかしながら、この従来例に示すような1つの入力から異なる電圧で複数の出力を得るような同期整流方式DC-DCコンバータ電源は、各出力系毎に発振・同期制御回路、ドライブ回路及びMOS-FET等を用いて回路を独立に構成する必要があり、回路規模が大きくなるという欠点があった。また、複数のドライブ回路を同期させて制御するためには発振・同期制御回路として専用の制御ICを使う必要があり、高価であるという欠点があった。

【0013】

本発明は上記課題に鑑み、回路規模が小さく安価で高効率な同期整流方式のD

C-DCコンバータ電源装置を供給することを目的とする。

【0014】

【課題を解決するための手段】

この課題を解決するために本発明は、第1スイッチング電源手段と、前記第1スイッチング電源手段のドライブパルスに基づいて同期整流する第2スイッチング電源手段とを有する同期整流方式DC-DCコンバータ電源装置であり、前記第1スイッチング電源手段は、DC入力電源によって動作しドライブパルスを出力する発振・制御手段と、前記発振・制御手段からのドライブパルスに基づいてドライブ波形を出力する第1ドライブ手段と、前記第1ドライブ手段の出力により駆動する第1スイッチング素子と、正極が接地され、負極が前記第1スイッチング素子の出力に接続された第1整流手段と、前記第1スイッチング素子の出力に接続された第1コイルと、前記第1コイルの出力電圧を検出し、前記発振・制御手段にフィードバックする第1検出手段とを有し、前記第2スイッチング電源手段は、前記発振・制御手段からのドライブパルスに基づいてドライブ波形を出力する第2ドライブ手段と、前記第2ドライブ手段の出力により駆動される第2スイッチング素子と、正極が接地され、負極が前記第2スイッチング素子の出力に接続された第2整流手段と、前記第2整流手段に並列接続され前記第1ドライブ手段の出力により駆動される第3スイッチング素子と、前記第2スイッチング素子の出力に接続された第2コイルと、前記第2コイルの出力電圧を検出し、前記発振・制御手段にフィードバックする第2検出手段と、を有する構成としたものである。

【0015】

これにより、複数の出力系統で回路を共用することができ、その結果回路規模を小さくすることができる。さらに、発振・制御回路の出力として1種類のドライブパルスを出力するだけでよいため、高価な専用の制御ICの代わりに安価な汎用の制御ICで複数系統のDC-DCコンバータ電源を構成でき、容易に同期整流方式とすることができるというものである。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態について、図1～図3を用いて説明する。

【0017】

(実施の形態1)

図1に本発明の1実施の形態を示す。本実施の形態の同期整流方式は、1つのDC入力から2つのDC出力を得る構成であり、3.3V系の第1スイッチング電源手段のドライブパルスによって1.8V系の第2スイッチング電源手段を同期整流するものである。

【0018】

図1において、従来例の図4のものと同番号のものは同じものもしくは同じ働きをするものである。また、図2におけるa点からi点の各波形は、図1における主な部分の波形のタイミングチャートを示す。また、電流の波形の場合は、電流の流れる方向を矢印の方向で示している。

【0019】

以下、本実施の形態の同期整流方式DC-DCコンバータ電源の動作について詳述する。最初にDC入力1から第1出力14を発生させる第1スイッチング電源手段について説明する。DC入力1に直流電圧（たとえばDC5V～10V）が印可されると発振・制御回路2が動作を開始し、第1ドライブ回路5をドライブし、その出力が第1MOS-FET3をドライブする。発振・制御回路2は、図2のb点に示すような1種類のドライブパルスを出力するのみであるため、従来技術における発振・同期制御回路30とは区別している。また、このような構成であることから、安価な汎用の制御ICを使用可能である。

【0020】

第1ドライブ回路5の出力波形である第1ドライブ波形は図2のb点の電圧波形であり、ハイレベル（ $t_6 \sim t_1$ 間）はほぼDC入力1の電圧である。第1MOS-FET3は、ゲート電圧bがローレベル（ $t_1 \sim t_6$ 間）のときにONとなり、ゲート電圧bがハイレベル（ $t_6 \sim t_1$ 間）のときはOFFとなる。したがって、第1MOS-FET3の出力電圧は、図2のa点の電圧波形に示すものとなる。そして第1MOS-FET3の出力が第1コイル10に印可される。第1MOS-FET3がONである期間に流れる電流を図2のc点の電流波形（ t

1～t6間)に示す。第1コイル10のインダクタンス値が小さいときは波形の傾斜が急になり電流のピーク値は大きくなるが、反対に第1コイル10のインダクタンス値が大きいときは波形の傾斜が緩やかになり、電流のピーク値は小さくなる。いずれにしてもこのインダクタンス値は、第1コイル10のコアが飽和しないように選択する必要がある。

【0021】

さて、第1MOS-FET3がOFFになると、第1コイル10に流れていた電流が供給されなくなるため逆起電力が第1コイル10の両端に発生し、a点の電位はマイナス電位になろうとするが、ダイオード9を介して電流が流れるため、電位は図2のa点の電圧波形(t6～t1間)の通り、ほぼ0Vに保たれる(クランプされる)。その結果、第1コイル10に蓄えられたエネルギーが電流となって、コンデンサ13と第1出力の負荷およびダイオード9を介して流れる。この電流は還流電流と呼ばれるが、ダイオード9の順方向電圧の低いものほど損失が少ないことになる。そして、第1検出抵抗11及び12で構成された第1検出回路により分圧・検出し、発振・制御回路2へフィードバックさせることにより第1MOS-FET3がONとなる期間(t1～t6間)を制御し、3.3V出力14を一定とするように制御している。

【0022】

次にDC入力1から第2出力26を発生させる第2スイッチング電源手段について説明する。第1スイッチング電源手段と同様、発振・制御回路2が第2ドライブ回路15をドライブし、その出力が第2MOS-FET17をドライブする。

【0023】

第2ドライブ回路の出力は図2のf点の電圧波形であり、ハイレベル(t5～t2間)はほぼDC入力1の電圧である。また、f点の電圧波形は、第1スイッチング電源手段のb点の電圧波形と位相同期して動作しており、第2スイッチング電源手段では出力が1.8Vであることから、b点と比較してf点の方がよりON期間が短くなっている。第2MOS-FET17は、ゲート電圧fがローレベル(t2～t5間)のときにONとなり、ゲート電圧fがハイレベル(t5～

t2間)のときはOFFとなる。第2MOS-FET17の出力電圧は図2のe点のとおりであり、t2～t5がONとなる期間、t5～t2がOFFとなる期間である。さらに詳細にみると、t5～t6およびt1～t2はダイオード21に電流が流れている期間であり、その時の電圧はマイナス0.3V～マイナス0.6V程度である。一方、t6～t1はMOS-FET20がONとなっている期間であり、マイナス0.1V程度の電圧になっている。この電圧(t2～t5間)は第2コイル22に印可される。第2MOS-FET17がONである期間に流れる電流を図2のg点の電流波形(t2～t5間)に示す。第2コイル22のインダクタンス値が小さいときは波形の傾斜が急になり電流のピーク値は大きくなるが、反対に第2コイル22のインダクタンス値が大きいときは波形の傾斜が緩やかになり、電流のピーク値は小さくなる。いずれにしても、インダクタンス値は第2コイルのコアが飽和しないように選択する必要がある。

【0024】

さて、第2MOS-FET17がOFF(t5～t2間)になると、第2コイル22に流れていた電流が供給されなくなるため逆起電力が第2コイル22の両端に発生し、e点の電位はマイナス電位に図1において、ダイオード21を介して電流が流れるため、電位は図2のe点の電圧波形(t5～t2間)の通り、0Vに保たれる(クランプされる)。その結果、第2コイル22に蓄えられたエネルギーが電流となって、第2平滑コンデンサ25と第2出力の負荷および第2ダイオード21を介して還流電流が流れる。還流電流は、第2ダイオード21の順方向電圧の低いものほど損失が少ないことになる。

【0025】

第2ダイオード21には第3MOS-FET20が並列接続されている。第3MOS-FET20のゲートには、コンデンサ7と抵抗8で構成される波形整形回路を介して第1ドライブ回路5の出力が接続されている。もちろん波形整形回路を省略し、第3MOS-FET20を第1ドライブ回路5の出力によって直接駆動しても同様の効果が得られるが、最適なドライブ条件を容易に調整することができるようになる点で有用である。

【0026】

この構成により、第3 MOS-FET 20は、b点の電圧波形がハイレベル（ $t_6 \sim t_1$ 間）の時にはONとなり、ローレベル（ $t_1 \sim t_6$ 間）のときはOFFとなる。もし仮に第3 MOS-FET 20がOFFのままであるなら、図2のh1に示す点線のような波形がダイオード21に流れ、その結果この期間（ $t_1 \sim t_6$ 間）のe点での電圧は常にマイナス0.3V～マイナス0.6V程度になってしまう。しかし、第3 MOS-FET 20のON/OFFが制御されると、h2に示す波形がダイオード21に流れ、第3 MOS-FET 20には、i点の（ $t_6 \sim t_1$ 間）に示す電流が流れることになる。すなわち、第2ダイオード21に流れていたh1点の電流は第3 MOS-FET 20がONの期間（ $t_6 \sim t_1$ 間）には第3 MOS-FET 20へパイパスされる。その結果、e点での電圧波形は図2の通り、 $t_6 \sim t_1$ 間ではマイナス0.1V程度となり、ダイオード21の順方向電圧が高いことによる損失が軽減され、回路を高効率にすることができる。

【0027】

そして、第2検出抵抗23及び24とで分圧・検出し、発振・制御回路2へフィードバックさせることにより第2 MOS-FET 17がONとなる期間（ $t_2 \sim t_5$ 間）を制御し、1.8V出力26を一定とするように制御している。

【0028】

なお、ダイオード21に流れる電流が少なくなるほど損失が減少して高効率となるため、 $t_5 \sim t_6$ の期間及び $t_1 \sim t_2$ の期間が短くなるようにドライブ回路5及び15を構成することが望ましいが、各々ドライブされるMOS-FETのON/OFFの立ち上がり時間および立ち下がり時間を考慮して、各MOS-FETのON/OFFが入れ替わる過渡状態においてデッドタイム（両方のドライブ共OFFになっている時間のこと）が設定される条件でなければならない。もし、第2 MOS-FET 17のON期間と第3 MOS-FET 20のON期間が重なれば、大電流が流れ、スイッチング素子を破壊する危険も発生するので、注意が必要である。このことは、本実施例の同期整流方式は1.8V系に適用したが、その逆に、1.8V系のドライブパルスで3.3V系を同期整流にしようとする、MOS-FET 3のON期間とMOS-FET 32のON期間が重な

るようになるので、構成できないことを意味する。

【0029】

上記のように本発明の実施の形態では、複数の出力系統で回路を共用することができ、その結果回路規模を小さくすることができる。また、ダイオードの順方向電圧が高いことによる損失を、並列接続したMOS-FETによって軽減することができ、回路を高効率にすることができる。さらに、発振・制御回路の出力として1種類のドライブパルスを出力するだけでよいので、高価な専用の制御ICの代わりに安価な汎用の制御ICで複数系統のDC-DCコンバータ電源を構成でき、容易に同期整流方式とすることができるという効果を有する。

【0030】

(実施の形態2)

図3に本発明の他の実施の形態を示す。本実施の形態の同期整流方式は、1つのDC入力から3つのDC出力を得る構成であり、実施の形態1の構成に加えて、さらに1.8V系の第2スイッチング電源手段のドライブパルスによって1.2V系の第3スイッチング電源手段を同期整流するものである。

【0031】

図2におけるa点からz点の各波形は、図3における主な部分の波形のタイミングチャートを示す。図3において、図1と同番号は同じもの、もしくは同じ働きをするものである。また、41は第3ドライブ回路、42、43は抵抗、44は第4スイッチング素子のPチャンネルMOS-FET(以下、第4MOS-FET 44と略す)、45はダイオード、46は第3コイル、47、48は第3検出抵抗、49は第3平滑コンデンサ、50は第3出力、51は抵抗、52は第5スイッチング素子のNチャンネルMOS-FET(以下、第5MOS-FET 52と略す)、53はコンデンサ、54は抵抗である。

【0032】

以下、本実施の形態の同期整流方式DC-DCコンバータ電源の動作について詳述する。第1スイッチング電源手段及び第2スイッチング手段の動作については実施の形態1と同様であるので省略し、DC入力1から第3出力50を発生させる第3スイッチング電源手段について説明する。第3スイッチング電源手段の

動作は基本的に第2スイッチング電源手段と同様である。まず、発振・制御回路2から第3ドライブ回路41がドライブされ、第4MOS-FET44をドライブする。第3ドライブ回路の出力は図2のw点の電圧波形である。また、第4MOS-FET44の出力電圧は、図2の1点の電圧波形に示すものとなり、これが第3コイル46に印可される。

【0033】

第4MOS-FET44がOFFになると、第3コイル46に流れていた電流が供給されなくなるため逆起電力が第3コイル46の両端に発生し、1点の電位はマイナス電位になりダイオード45の順方向電圧でクランプされることになる。その結果、第3平滑コンデンサ49と第3出力の負荷および第3ダイオード45を介して還流電流が流れる。

【0034】

第3ダイオード45には第5MOS-FET52が並列接続されている。第5MOS-FET52は、第2ドライブ回路15の出力をコンデンサ53と抵抗54で構成される波形整形回路を介してON期間($t_5 \sim t_2$ 間)が制御されるように接続されている。この構成により、図2のf点の電圧波形と同様の波形のドライブ電圧が第5MOS-FET52のゲートに印加される。その結果、第5MOS-FET52はf点の電圧波形がハイレベル($t_5 \sim t_2$ 間)の時にはONとなり、ローレベル($t_2 \sim t_5$ 間)のときはOFFとなり、第3ダイオード45にはz点の $t_4 \sim t_5$ 間および $t_2 \sim t_3$ 間電流が流れ、MOS-FET52のONの期間($t_5 \sim t_2$ 間)にはy点に示すように第5MOS-FET52へバイパスされる。そして、第3検出抵抗47と48とで分圧・検出し、発振・制御回路2へフィードバックさせることにより第4MOS-FET44のON期間を制御し、1.2V出力50を一定とするように制御される。

【0035】

上記のように本発明の実施の形態では、出力系統が3系統であっても実施の形態1と同様の効果を得ることができる。

【0036】

なお、本実施の形態では、第3スイッチング電源手段の第5MOS-FET5

2を第2スイッチング電源手段の第2ドライブ回路15からドライブしたが、第1スイッチング電源手段の第1ドライブ回路5からドライブするようにしてもよい。しかしながら、実施の形態2で説明した構成の方がより高効率な回路であり、より望ましい。以下、その理由を述べる。第3ダイオード45に流れる還流電流をバイパスする期間は第5MOS-FET52がONとなる期間に依存する。また、第1出力14を3.3Vとし、第2出力26を1.8Vとする場合、ドライブ期間、即ち電圧がハイレベルになる期間はb点とf点の波形を見てもわかる通り、第2ドライブ回路15側の方が長い。したがって、第3ダイオード45に流れる還流電流をより多くバイパスさせるためには、第2スイッチング電源手段の第2ドライブ回路15からドライブする方が望ましい。

【0037】

なお、さらに多出力、低電圧、かつ大電流を必要とする場合においても、発振・制御回路の同期をとることにより本発明の構成が可能であることは容易に理解できる。しかも高価な同期整流専用の制御ICは不要で、安価な制御ICで構成可能である。

【0038】

【発明の効果】

以上説明したように、本発明により、複数の出力系統で回路を共用することができ、その結果回路規模を小さくすることができる。さらに、発振・制御回路の出力として1種類のドライブパルスを出力するだけでよいため、高価な専用の制御ICの代わりに安価な汎用の制御ICで複数系統のDC-DCコンバータ電源を構成でき、容易に同期整流方式とすることができるという効果を有する。

【図面の簡単な説明】

【図1】

本発明の一実施形態による同期整流方式DC-DCコンバータ電源装置を示す図

【図2】

本発明の一実施形態による同期整流方式DC-DCコンバータ電源装置の主なタイミングチャートと波形図

【図 3】

本発明の他の実施形態による同期整流方式DC-DCコンバータ電源装置を示す図

【図 4】

従来の一実施形態による同期整流方式DC-DCコンバータ電源装置を示す図

【図 5】

従来の一実施の形態による同期整流方式DC-DCコンバータ電源装置の主なタイミングチャートと波形図

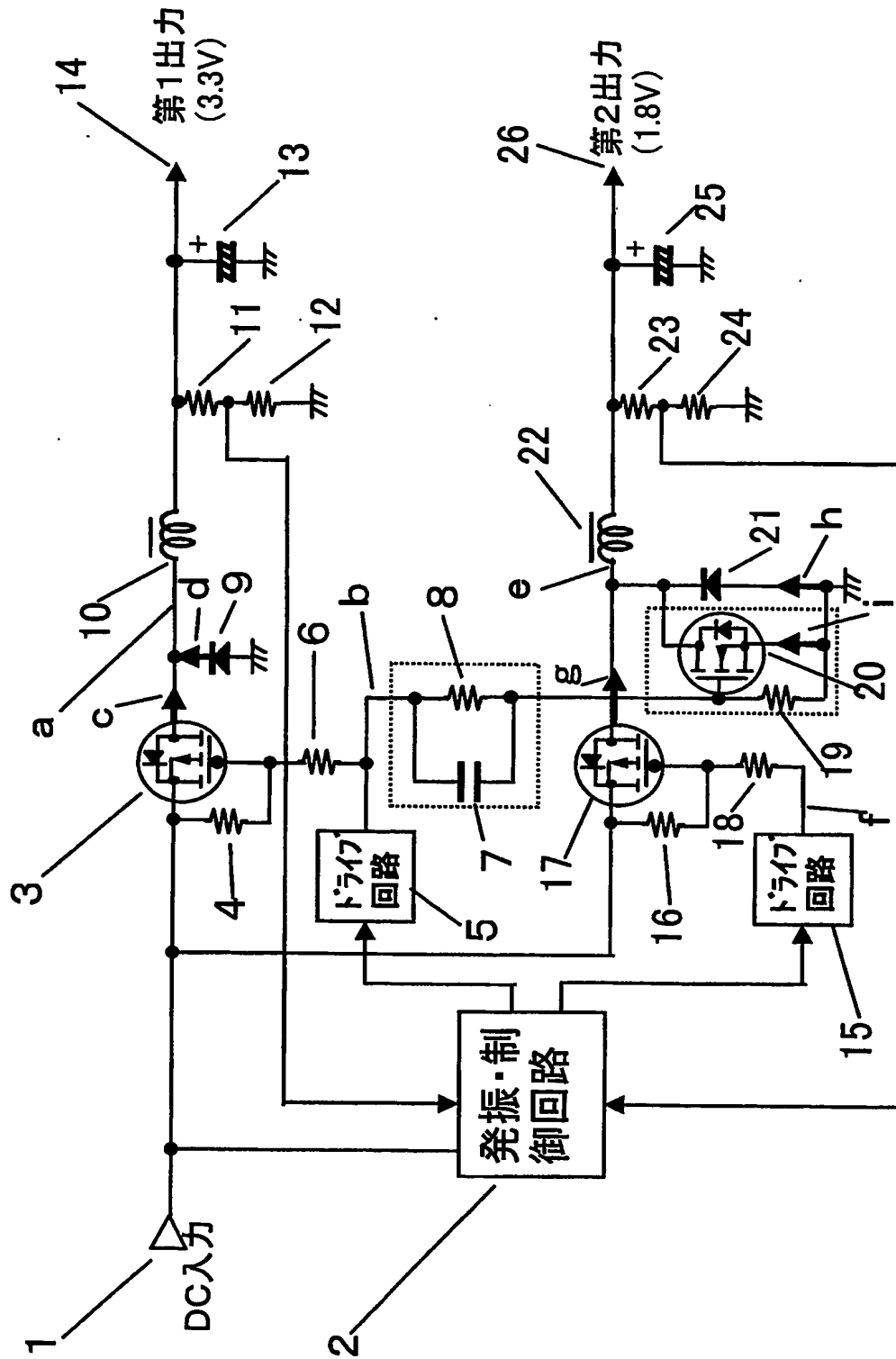
【符号の説明】

- 1 DC入力
- 2 複数の出力系統を制御する発振・制御回路
- 3 第1スイッチング素子のPチャンネルMOS-FET
- 4 抵抗
- 5 第1ドライブ回路
- 6 抵抗
- 7 コンデンサ (波形整形回路用)
- 8 抵抗 (波形整形回路用)
- 9 第1ダイオード
- 10 第1コイル
- 11、12 第1検出用抵抗
- 13 第1平滑コンデンサ
- 14 第1出力 (3.3V出力)
- 15 第2ドライブ回路
- 16 抵抗
- 17 第2スイッチング素子であるPチャンネルMOS-FET
- 18、19 抵抗
- 20 第3スイッチング素子のNチャンネルMOS-FET
- 21 第2ダイオード
- 22 第2コイル

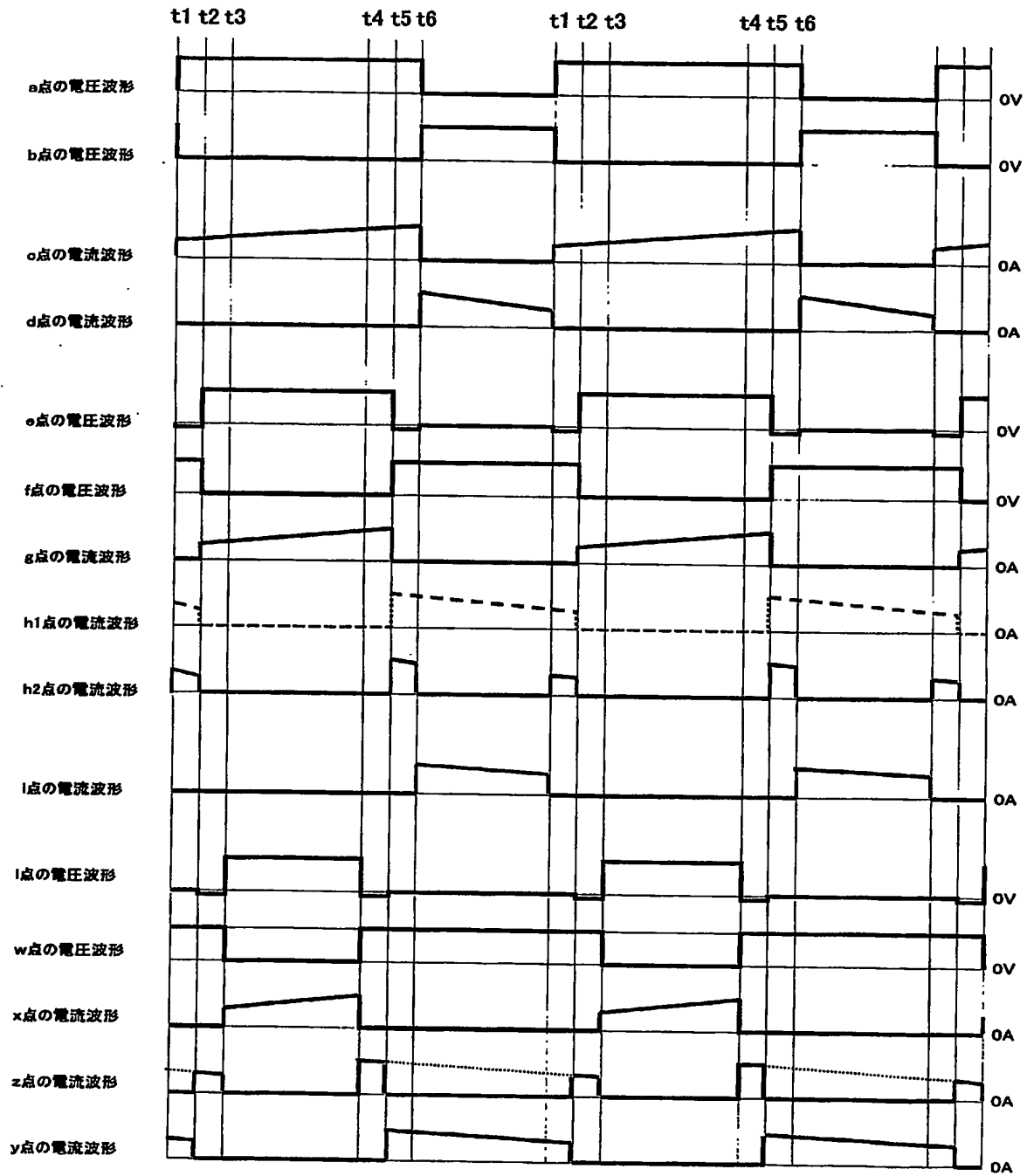
- 2 3、2 4 第 2 検出用抵抗
- 2 5 第 2 平滑コンデンサ
- 2 6 第 2 出力 (1. 8 V 出力)
- 4 1 第 3 ドライブ回路
- 4 2、4 3 抵抗
- 4 4 第 4 スイッチング素子である P チャンネル MOS - F E T
- 4 5 第 3 ダイオード
- 4 6 第 3 コイル
- 4 7、4 8 第 3 検出用抵抗
- 4 9 第 3 平滑コンデンサ
- 5 0 第 3 出力 (1. 2 V)
- 5 1 抵抗
- 5 2 第 5 スイッチング素子の N チャンネル MOS - F E T

【書類名】 図面

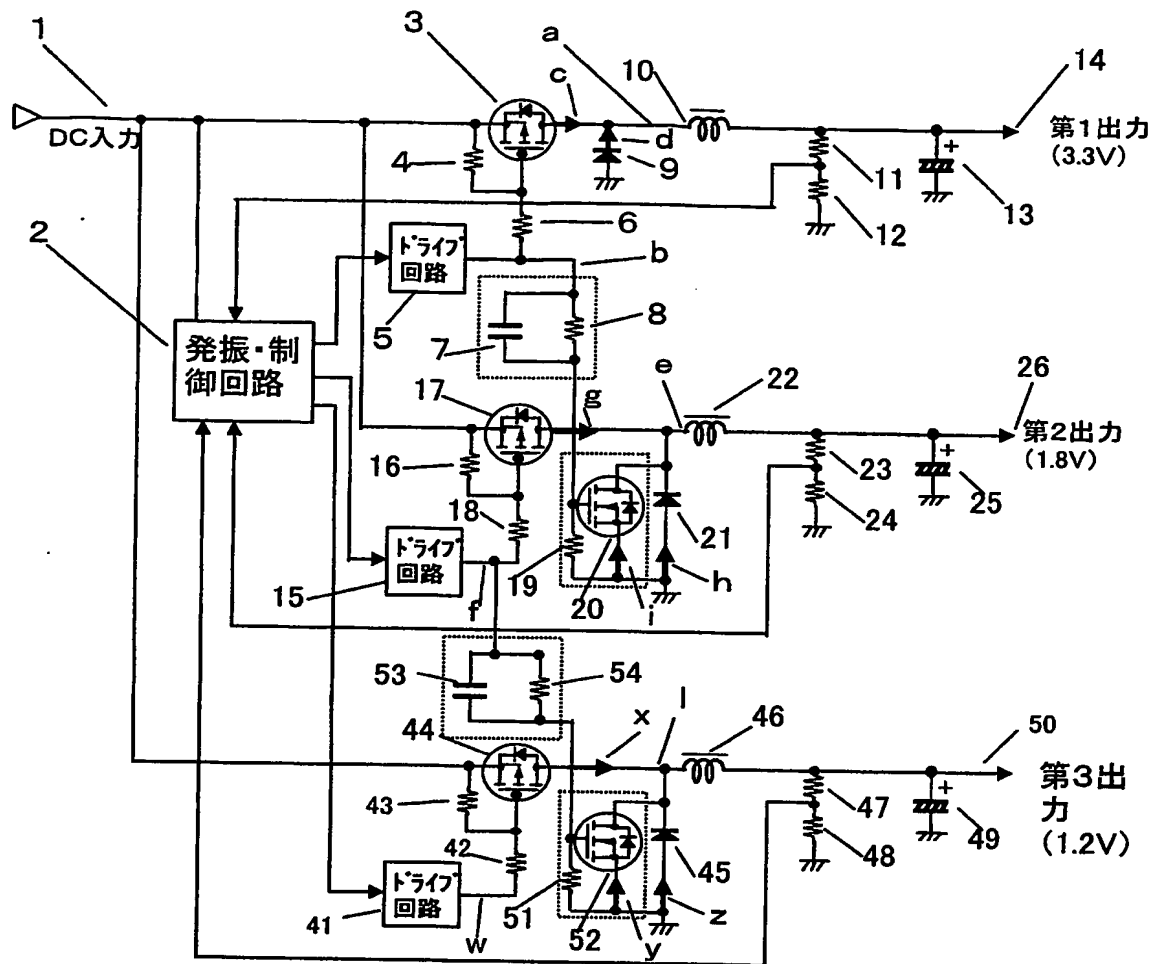
【図 1】



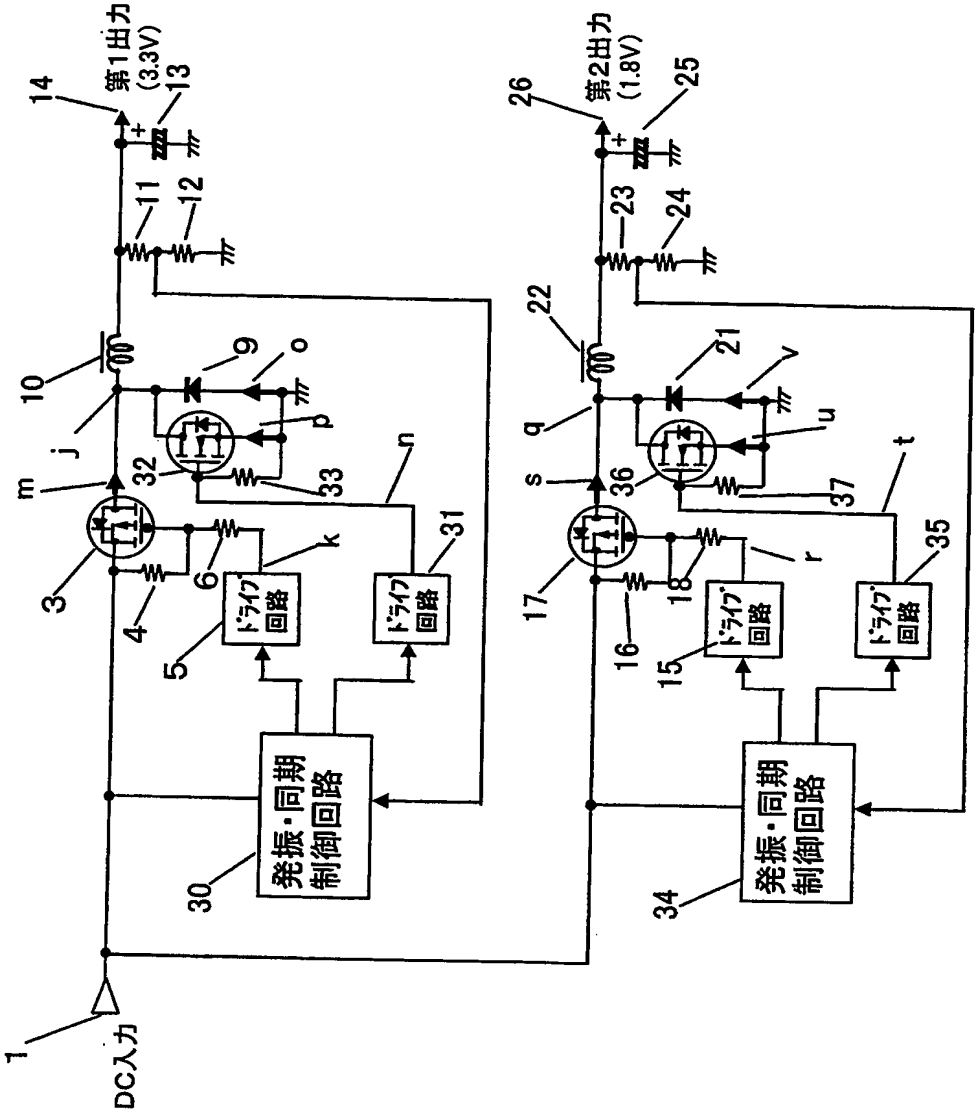
【図 2】



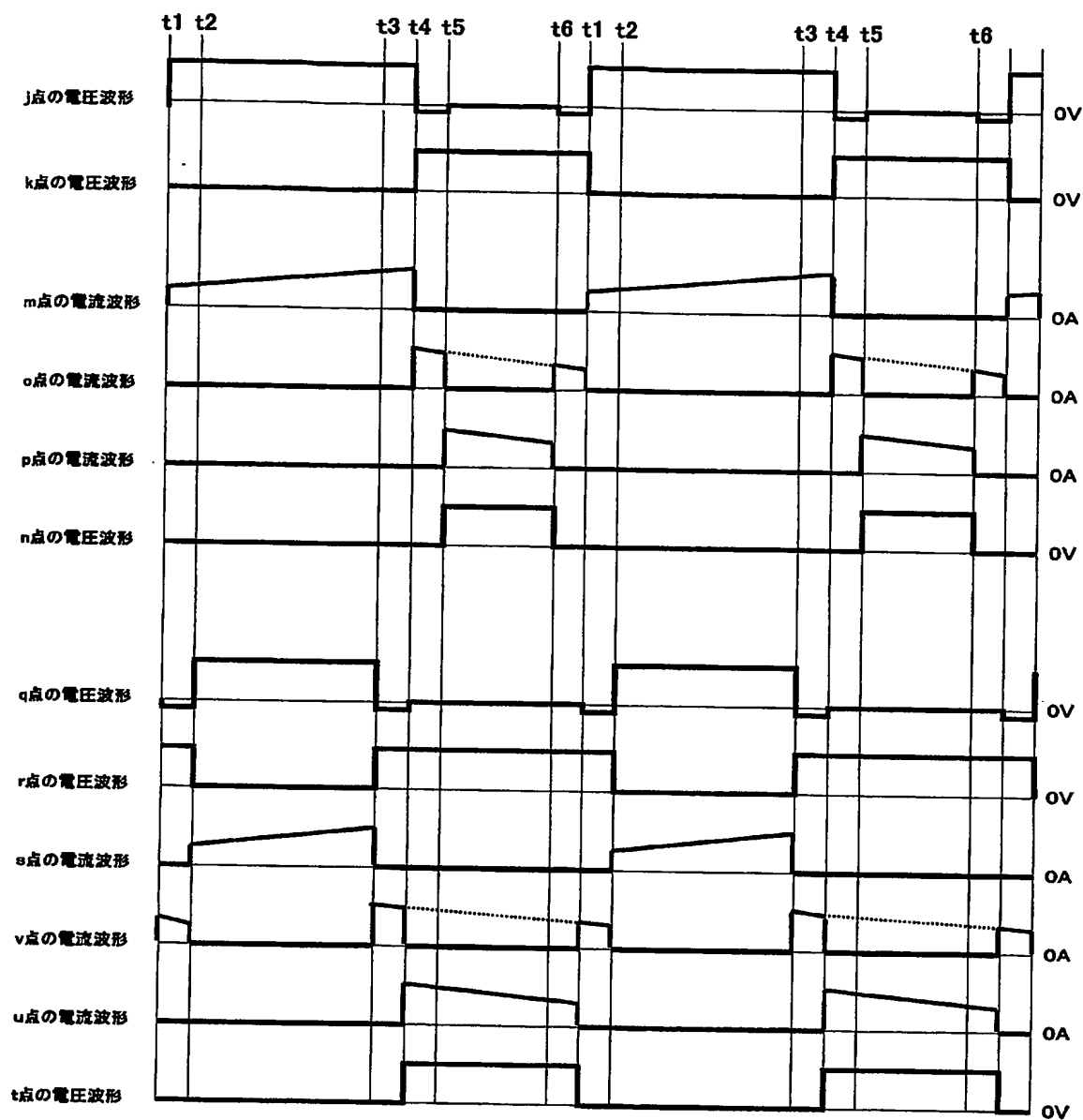
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 安価な汎用の制御 IC を用いて簡単な方法で同期整流方式の高効率な DC-DC コンバータ電源を構成する。

【解決手段】 発振・制御回路 1 のドライブパルスから異なるドライブ波形を生成するドライブ回路 5 及び 15 と、ドライブ回路 5 により駆動される第 1 スイッチング電源手段 3 と、ドライブ回路 15 により駆動される第 2 スイッチング電源手段 17 と、第 2 スイッチング電源手段の第 2 整流ダイオード 21 に並列接続されドライブ回路 5 により駆動される第 3 スイッチング素子 20 とを有する構成とした。

【選択図】 図 1

特願 2 0 0 2 - 3 5 7 5 6 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社